

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

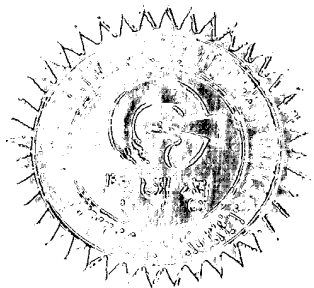
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0050647  
Application Number

출원년월일 : 2003년 07월 23일  
Date of Application JUL 23, 2003

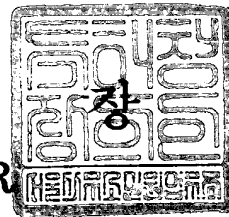
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003      년      08      월      26      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.23
【발명의 명칭】	반도체 소자의 금속 배선 형성 방법
【발명의 영문명칭】	Method for forming metal line of semiconductor device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2003-015472-0
【발명자】	
【성명의 국문표기】	배세열
【성명의 영문표기】	BAE, SE YEUL
【주민등록번호】	690704-1010719
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대아파트 106동 1404호
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2002-0044083
【출원일자】	2002.07.26
【증명서류】	첨부
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)

**【수수료】**

【기본출원료】 13 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 1 건 26,000 원

【심사청구료】 8 항 365,000 원

【합계】 420,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통 2. 우선권증명서류 및  
동 번역문[특허청 기재출]\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것으로, 본 발명의 실시예에 따른 반도체 소자의 금속 배선 형성 방법은, 반도체 기판상에 하부 금속 패턴을 형성하는 단계; 상기 하부 금속 패턴을 포함한 반도체 기판상에 절연막을 형성한 후, 그 위에 비아홀 형성용 제1 감광막 패턴을 형성하는 단계; 상기 제1 감광막 패턴을 마스크로 상기 절연막을 선택적으로 제거하되, 상기 하부 금속 패턴이 노출되지 않도록 상기 절연막을 일정 두께만큼 남겨서 미완성 비아홀을 형성하는 단계; 상기 제1 감광막 패턴을 제거한 후, 상기 비아홀 주위의 절연막상에 다마신 패턴 형성용 제2 감광막 패턴을 형성하는 단계; 상기 제2 감광막 패턴을 마스크로 상기 절연막을 선택적으로 제거하여 상기 하부 금속막 패턴을 노출시키는 다마신 패턴을 형성하는 단계; 및 상기 제2 감광막 패턴을 제거한 후 다마신 패턴 내부에 금속 물질을 매립하여 다마신 콘택에 의한 금속 배선을 형성하는 단계;를 포함한다.

**【대표도】**

도 7

**【색인어】**

비아, PR, 다마신, 배선,

**【명세서】****【발명의 명칭】**

반도체 소자의 금속 배선 형성 방법{Method for forming metal line of semiconductor device}

**【도면의 간단한 설명】**

도 1 내지 도 4는 종래 기술에 따른 다마신 공정을 이용한 반도체 소자의 금속 배선 형성 방법을 설명하기 위한 공정 단면도.

도 5 내지 도 9는 본 발명의 실시예에 따른 다마신 공정을 이용한 반도체 소자의 금속 배선 형성 방법을 설명하기 위한 공정 단면도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자의 금속 배선 형성 방법에 관한 것으로서, 보다 상세하게는 듀얼 다마신 공정에서의 비아홀 불량을 방지하기 위한 금속 배선 형성 방법에 관한 것이다.

<4> 근래에는 반도체 집적 회로가 고속화/고집적화 되면서 배선의 미세화 및 다층화가 이루어지고 있고, 배선 지연(RC Signal Delay)을 축소하기 위하여 구리 및 낮은 유전상수(k) 물질이 도입되고 있으며, 또한 디자인 룰(Design Rule) 축소에 따른 금속 패터닝(metal patterning)의 어려움 등으로 인해 배선 형성 공정

에 있어서 금속 에칭 및 절연체 껍 충전 단계를 제거할 수 있는 다마신 (Damascene) 공정이 개발되었다.

<5> 이하, 종래 기술에 따른 반도체 소자의 듀얼 다마신 공정에 대해 도 1 내지 도 4를 참조하여 설명하면 다음과 같다.

<6> 도 1 내지 도 4는 종래 기술의 다마신 공정을 이용한 반도체 소자의 금속 배선 형성 방법의 일실시예를 설명하기 위한 공정 단면도이다.

<7> 도 1에 도시된 바와 같이, 먼저 반도체 기판(11)상에 하부 금속 패턴(13)을 형성한 후 전체 구조의 상부에 두껍게 산화막(15)을 증착하고, 이어 상기 산화막(15)상에 비아홀 형성용 마스크인 제1 감광막 패턴(17)을 형성한다.

<8> 그 다음, 도 2에 도시된 바와 같이, 상기 제1 감광막 패턴(17)을 이용하여 상기 산화막(15)을 식각하여 상기 하부 금속 패턴(13)을 노출시키는 비아홀(19)을 형성한다.

<9> 이어서, 도 3에 도시된 바와 같이, 상기 비아홀(19) 주위의 산화막(15)상에 다마신 패턴 형성용 마스크인 제2 감광막 패턴(21)을 형성한다.

<10> 그 다음, 상기 제2 감광막 패턴(21)을 마스크로 상기 산화막(15)을 선택적으로 제거하여 다마신 패턴(미도시)을 형성한 후 그 내부에 금속 물질을 채워 다마신 콘택(23)을 형성한다.

<11> 그런데, 상기한 종래의 금속 배선 형성 방법에 의하면, 다마신 패턴을 형성하기 위해 산화막(15)을 식각할 때, 상기 비아홀(19)의 측벽과, 상기 비아홀(19)에 의해 노출된 하부 금속 패턴(13)이 식각액에 의해 손상되어 비아홀 개구성 불

량 내지는 보이드를 유발하게 되고, 이로 인해 디바이스의 신뢰성이 저하되는 문제점이 있다.

<12>       상기한 문제점을 제거하기 위한 방법으로, 종래에는 비아홀 형성용 마스크를 사용하여 산화막에 비아홀을 형성하고, 하부 반사 방지막을 두껍게 도포하여 비아홀을 채운 후, 다마신 패턴을 형성하는 금속 배선 형성 방법에 개시되었다.

<13>       그러나, 하부 반사 방지막을 이용한 상기한 방법은 바닥 반사 방지막을 비아홀 내부에 매립하는 작업이 용이하지 않고, 반사 방지막과 산화막간의 식각 선택비가 비슷하여 다마신 패턴을 형성하기 위한 식각 공정시에 상기 반사 방지막이 식각 배리어로서 작용하지 못하는 문제점이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<14>       이에 본 발명은 상기 종래 기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 본 발명의 목적은 듀얼 다마신 공정에서의 비아홀 불량률을 방지하여 반도체 제조 수율을 향상 시킬 수 있는 반도체 소자의 금속 배선 형성 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<15>       상기한 목적을 달성하기 위한 본 발명에 따른 금속 배선 형성 방법은,

<16>       반도체 기판상에 하부 금속 패턴을 형성하는 단계;

<17>       상기 하부 금속 패턴을 포함한 반도체 기판상에 절연막을 형성한 후 그 위에 비아홀 형성용 제1 감광막 패턴을 형성하는 단계;

- <18>       상기 제1 감광막 패턴을 마스크로 사용하여 상기 절연막을 일부 두께만큼만 선택적으로 제거하여 미완성 비아홀을 형성하는 단계;
- <19>       상기 제1 감광막 패턴을 제거한 후 상기 미완성 비아홀 주위의 절연막상에 다마신 패턴 형성용 제2 감광막 패턴을 형성하는 단계;
- <20>       상기 제2 감광막 패턴을 마스크로 사용하여 상기 절연막을 선택적으로 제거함으로써 다마신 패턴을 형성하는 단계;
- <21>       및 상기 제2 감광막 패턴을 제거한 후 다마신 패턴내에 다마신 콘택에 의한 금속 배선을 형성하는 단계;
- <22>       를 포함한다.
- <23>       이하, 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속 배선 형성 방법을 첨부된 도면을 참조하여 상세히 설명한다.
- <24>       도 5 내지 도 9는 본 발명의 실시예에 따른 금속 배선 형성 방법을 설명하기 위한 공정 단면도이다.
- <25>       본 발명의 실시예에 따른 반도체 소자의 금속 배선 형성 방법은, 도 5에 도시된 바와 같이, 먼저 반도체 기판(31)상에 하부 금속 패턴(33)을 형성한 후, 전체 구조의 상면에 절연막(35)을 두껍게 증착하고, 이어 상기 절연막(35)상에 비아홀 형성용 마스크로 사용할 제1 감광막 패턴(37)을 형성한다. 이때, 상기 절연막(35)으로는 로(furnace) 등에서 저온, 바람직하게는 150~500℃의 온도에서 형성되는 산화막을 사용한다.

<26>        그 다음, 도 6에 도시된 바와 같이, 상기 비아홀 형성용 마스크인 제1 감광막 패턴(37)을 이용하여 상기 절연막(35)을 선택적으로 식각하되, 상기 절연막(35)이 일부 두께(t)만큼 남아 있도록 식각하여 미완성 비아홀(39)을 형성한다. 여기서, 상기 미완성 비아홀(39) 형성시에 남는 절연막(35)의 두께(t)는 도 9에 도시한 금속 다마신 콘택(45)의 상부 두께(t1)보다는 두껍지 않게 하는 것이 바람직하다. 그리고, 절연막(35)의 전체 두께는 1,000~20,000Å의 범위내에서 필요에 따라 조절하여 형성할 수 있다. 이와 같이 미완성 비아홀(39)을 형성한 후에는 상기 제1 감광막 패턴(37)을 제거한다.

<27>        이어서, 도 7에 도시된 바와 같이, 전체 구조의 상면에 다마신 패턴(43) 형성용 마스크로 사용할 제2 감광막 패턴(41)을 형성한다.

<28>        그 다음, 도 8에 도시된 바와 같이, 상기 다마신 패턴 형성용 제2 감광막 패턴(21)을 이용하여 다마신 콘택(45)의 상부 두께(t1)만큼 절연막을 식각하여 다마신 패턴(43)을 형성한다. 이때, 앞서 형성된 미완성 비아홀(39) 내부에서는 남아 있는 일정 두께(t)의 절연막이 식각되어 하부 금속 패턴(33)이 드러나게 된다. 상기과 같은 다마신 패턴(43)을 형성한 후에는 상기 제2 감광막 패턴(41)을 제거한다.

<29>        이어서, 도 9에 도시된 바와 같이, 상기 다마신 패턴(43)을 포함한 절연막(35)상에 금속 물질을 증착한 후 이를 CMP(chemical mechanical polishing)하여 다마신 콘택(45)에 의한 금속 배선을 형성한다. 여기서, 상기 다마신 콘택(45)에 의한 금속 배선을 형성하기 위한 금속 물질로는 전기적 특성과 증착 특성

이 우수한 금속, 예를 들어 Cu, Al, W, Pt, Co, Ni 또는 이들의 합금중에서 선택된 하나를 사용할 수 있다.

<30> 또한, 상기한 다마신 콘택과 절연막 사이에는 확산 방지막으로서 고용점 금속(refractory metal) 또는 그 질화물, 산화물, 또는 이들간의 화합물 층이 단층 또는 복층으로 형성될 수 있다.

<31> 그리고, 금속 물질의 증착 방법은 전기도금 또는 무전해도금 등의 전기화학적 증착 방법은 물론, 화학기상증착(CVD)이나 물리증착(sputtering)법을 사용할 수 있다. 이 중에서 특히 전기화학적 증착 방법을 사용할 경우에는 증착하고자 하는 금속 물질과 화학적 성질이 유사한 금속을 초기 증착층(seed metal)로서 증착할 수도 있다.

<32> 또한, CMP를 이용한 상기 금속 물질 및 절연막의 평탄화 공정은 복층의 배선을 형성할 경우 여러 번 반복하여 실시할 수 있다.

<33> 이러한 구성에 의하면, 다마신 패턴(43)을 형성하기 위해 절연막(35)을 식각할 때, 상기 절연막(35)이 다마신 콘택(45)의 상부 두께( $t_1$ )만큼 식각되는 동안 상기 미완성 비아홀(39) 내측에 남아있는 일정 두께( $t$ )의 절연막도 식각된다.

#### 【발명의 효과】

<34> 상기한 본 발명에 의하면, 미완성 비아홀을 형성한 상태에서 다마신 패턴을 형성함으로써, 하부 금속 패턴은 다마신 패턴을 형성하기 위한 식각 공정에 의해 드러나게 된다. 따라서, 다마신 패턴을 형성하기 위한 식각 공정시에 하부 금

속 패턴이 손상되는 것을 방지할 수 있으며, 또한, 비아홀 측벽의 손상 역시 최소화시킬 수 있어 반도체 소자의 신뢰성 및 수율을 크게 증진시킬 수 있다.

<35> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

**【특허청구범위】****【청구항 1】**

반도체 기판상에 하부 금속 패턴을 형성하는 단계;

상기 하부 금속 패턴을 포함한 반도체 기판상에 절연막을 형성한 후, 그 위에 비아홀 형성용 제1 감광막 패턴을 형성하는 단계;

상기 제1 감광막 패턴을 마스크로 상기 절연막을 선택적으로 제거하되, 상기 하부 금속 패턴이 노출되지 않도록 상기 절연막을 일정 두께만큼 남겨서 미완성 비아홀을 형성하는 단계;

상기 제1 감광막 패턴을 제거한 후, 상기 비아홀 주위의 절연막상에 다마신 패턴 형성용 제2 감광막 패턴을 형성하는 단계;

상기 제2 감광막 패턴을 마스크로 상기 절연막을 선택적으로 제거하여 상기 하부 금속막 패턴을 노출시키는 다마신 패턴을 형성하는 단계; 및

상기 제2 감광막 패턴을 제거한 후 다마신 패턴 내부에 금속 물질을 매립하여 다마신 콘택에 의한 금속 배선을 형성하는 단계;

를 포함하는 반도체 소자의 금속 배선 형성 방법.

**【청구항 2】**

제 1항에 있어서, 상기 절연막으로는 저온의 산화막을 사용하는 반도체 소자의 금속 배선 형성 방법.

**【청구항 3】**

제 2항에 있어서, 상기 산화막은 150~500℃의 온도에서 형성하는 반도체 소자의 금속 배선 형성 방법.

**【청구항 4】**

제 1항 내지 제 3항중 어느 한 항에 있어서, 상기 미완성 비아홀은 상기 비아홀의 내측에 남아 있는 절연막의 두께가 다마신 콘택의 상부 두께 이하의 값을 갖도록 형성하는 반도체 소자의 금속 배선 형성 방법.

**【청구항 5】**

제 4항에 있어서, 상기 다마신 콘택은 다마신 패턴을 포함하는 절연막상에 금속 물질을 증착한 후, CMP 공정에 의해 평단화시켜 형성하는 반도체 소자의 금속 배선 형성 방법.

**【청구항 6】**

제 5항에 있어서, 상기 다마신 콘택은 Cu, Al, W, Pt, Co, Ni, 또는 이들의 합금 중에서 선택된 어느 하나의 금속 물질로 형성하는 반도체 소자의 금속 배선 형성 방법.

**【청구항 7】**

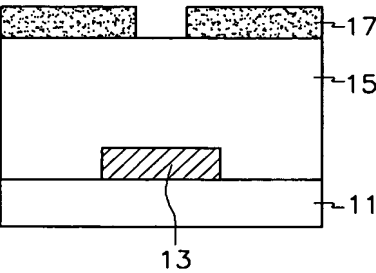
제 5항에 있어서, 상기 금속 물질의 증착에는 전기화학적 증착법이나 건식 증착법을 사용하는 반도체 소자의 금속 배선 형성 방법.

【청구항 8】

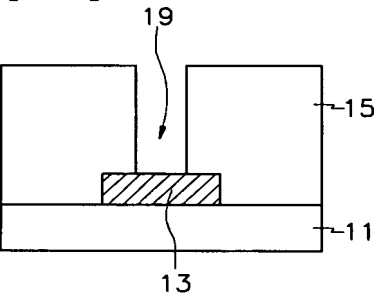
제 5항에 있어서, 상기 절연막은 1,000~20,000 Å의 두께로 형성하는 반도체 소자의 금속 배선 형성 방법.

【도면】

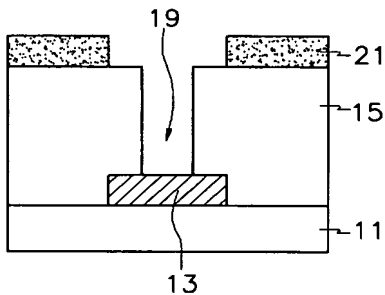
【도 1】



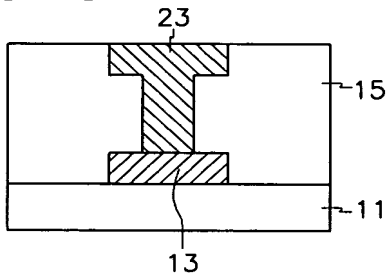
【도 2】



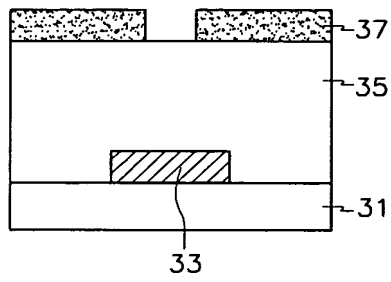
【도 3】



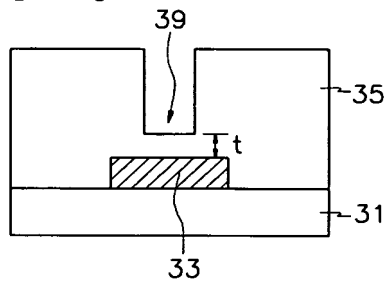
【도 4】



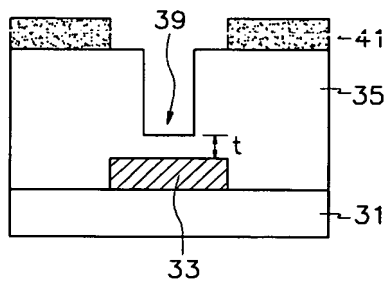
【도 5】



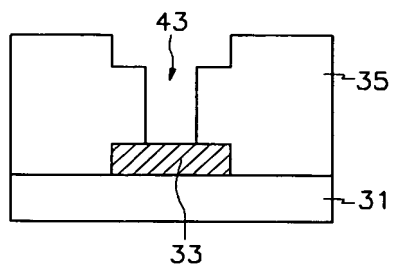
【도 6】



【도 7】



【도 8】



【도 9】

